Arnold

(4)

(19) JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10239394 A**

(43) Date of publication of application: **11.09.98**

(51) Int. Cl **G01R 31/28**
G06F 17/50

(21) Application number: **09039122**

(22) Date of filing: **24.02.97**

(71) Applicant: **NEC CORP**

(72) Inventor: **SANADA KATSU**

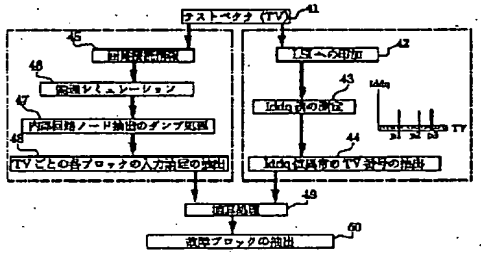
(54) METHOD FOR DETERMINING DEFECTIVE PORTION OF LSI

COPYRIGHT: (C)1998,JPO

(57) Abstract

PROBLEM TO BE SOLVED: To provide a method for determining a defective portion of an LSI capable of readily and quickly narrowing the multiple defective portions in the LSI and determining the number of defectives and the defective portions by small data amount irrespective of malfunction of an output terminal.

SOLUTION: Logical information 48 of each block that changes by each test vector 41 is outputted by a dump operation 47 from circuit connection information 45 by using logical simulation 46 for inspection of an LSI circuit. The logical information 48 of each block by each test vector 41 is combined with information 44 of presence or absence of Iddq malfunction (leakage current in a static condition) so that an arithmetic operation 49 of each block by each test vector is executed and extraction 50 of a block including a defective portion is executed. The defective portion at a transistor level is extracted from the logical information in terms of the presence or absence of Iddq malfunction at the block.



(19)日本国特許庁（ＪＰ）　(12) 公開特許公報（Ａ）　(11)特許出願公開番号

特開平10－239394

(43)公開日　平成10年(1998)９月11日

(51)Int.Cl.[6]	識別記号	ＦＩ	
Ｇ０１Ｒ　31/28		Ｇ０１Ｒ　31/28	Ｆ
Ｇ０６Ｆ　17/50		Ｇ０６Ｆ　15/60	６７２Ｄ

審査請求　有　　請求項の数９　ＯＬ　（全 15 頁）

(21)出願番号　特願平9－39122

(22)出願日　平成９年(1997)２月24日

(71)出願人　000004237
日本電気株式会社
東京都港区芝五丁目７番１号

(72)発明者　真田　克
東京都港区芝五丁目７番１号　日本電気株式会社内

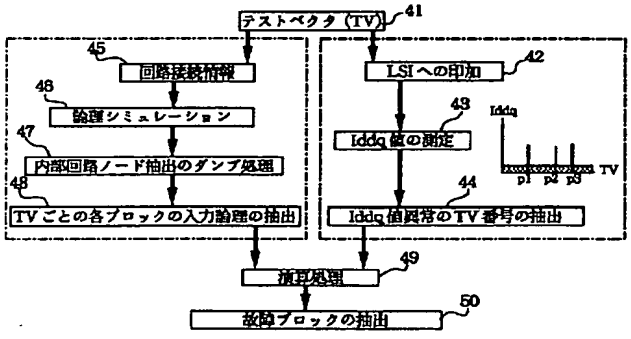
(74)代理人　弁理士　若林　忠

(54)【発明の名称】　ＬＳＩの故障箇所の特定化方法

(57)【要約】

【課題】　ＬＳＩ内部の多重故障を、少ないデータ量で、出力端子異常に無関係に、容易にかつ高速で絞り込め、故障数および故障箇所を特定化できるＬＳＩの故障箇所の特定化方法を提供する。

【解決手段】　テストベクタ４１ごとに変化する各ブロックの論理情報４８は、回路接続情報４５からＬＳＩ回路検証のための論理シミュレーション４６を用いてダンプ処理４７によって出力される。そのテストベクタごとの各ブロックの論理情報４８をテストベクタごとのＩｄｄｑ異常の有無の情報４４と組合わせることで、各ブロックのテストベクタごとの演算処理４９が実施され、故障個所を内蔵したブロックの抽出５０が行なわれ、そのブロックでのＩｄｄｑ異常の有無における論理情報からトランジスタレベルでの異常箇所が抽出される。



1

【特許請求の範囲】

【請求項１】　ＬＳＩの入力端子より順次入力されるテストベクタに従って変化する、前記ＬＳＩを構成する基本的論理回路単位であるブロックごとの論理動作情報と、該テストベクタにより生成する、前記ＬＳＩの論理動作の静止状態でのリーク電流であるＩｄｄｑの値が所定値を越えるテストベクタ番号とを用いて、該ブロックごとの論理演算を行うことにより故障ブロックを抽出し、次に該故障ブロックにおけるＩｄｄｑ異常を有する前記テストベクタ番号での論理情報を用いて多重故障個所を絞り込む、ことを特徴とするＬＳＩの故障箇所の特定化方法。

【請求項２】　ブロックごとの前記論理動作情報は、ＬＳＩの入力端子より入力する前記テストベクタに同期して変化する各ブロックごとの前記テストベクタ番号ごとの入力論理の組合わせである、請求項１に記載のＬＳＩの故障箇所の特定化方法。

【請求項３】　ブロックごとの論理演算を行うことによる前記故障ブロック抽出は、Ｉｄｄｑ異常が発生する複数種類の入力論理の組合わせの全てが、Ｉｄｄｑ値が正常なテストベクタ番号での入力論理の組合わせに存在するときのみ、該ブロックを正常ブロックとして抽出し、それ以外は該ブロックを故障ブロックとして抽出する、請求項１に記載のＬＳＩの故障箇所の特定化方法。

【請求項４】　ブロックごとの論理演算を行うことによる前記故障ブロック抽出は、Ｉｄｄｑ異常が連続したテストベクタ番号にて検出される複数種類の連続した入力論理の組合わせ群の全てが、Ｉｄｄｑ値が正常な連続したテストベクタ番号での入力論理の組合わせ群に存在するときのみ、該ブロックを、正常ブロックとして抽出し、それ以外は該ブロックを故障ブロックとして抽出する、請求項１に記載のＬＳＩの故障箇所の特定化方法。

【請求項５】　ブロックごとの論理演算を行うことによる前記故障ブロック抽出は、Ｉｄｄｑ異常が連続したテストベクタ番号にて検出される複数種類の入力論理の組合わせ群、およびＩｄｄｑ異常が連続しないテストベクタ番号にて検出される複数種類の入力論理の組合わせの全てが、Ｉｄｄｑ値が正常な連続したテストベクタ番号での入力論理の組合わせ群、およびＩｄｄｑ値が正常なテストベクタ番号での入力論理の組合わせに存在するときのみ、該ブロックを正常ブロックとして抽出し、それ以外は該ブロックを故障ブロックとして抽出する、請求項１に記載のＬＳＩの故障箇所の特定化方法。

【請求項６】　前記故障ブロックにおける前記故障個所の絞り込みは、該故障ブロックにおけるＩｄｄｑ異常が発生している前記テストベクタ番号での入力論理の組合わせで故障箇所を絞り込む、請求項１に記載のＬＳＩの故障箇所の特定化方法。

【請求項７】　前記故障ブロックにおける前記故障個所の絞り込みは、該故障ブロックにおけるＩｄｄｑ異常が

2

発生している前記テストベクタ番号での入力論理の組合わせとＩｄｄｑ異常が発生していないテストベクタ番号での入力論理の組合わせとを用いて故障個所を絞り込む、請求項１に記載のＬＳＩの故障箇所の特定化方法。

【請求項８】　前記ブロックごとの論理演算を行うことによる故障ブロック抽出は、組合わせ回路と順序回路とを分離して故障箇所を絞り込む、請求項１に記載のＬＳＩの故障箇所の特定化方法。

【請求項９】　前記ブロックごとの論理演算を行うことによる故障ブロック抽出は、回路構成を複数個の基本的論理回路から順に回路規模を縮小していくことにより故障個所を絞り込む、請求項１に記載のＬＳＩの故障箇所の特定化方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明はＣＭＯＳＬＳＩの故障個所絞り込みに関し、特に静止状態電源電流の発生有無とテストベクタにおける内部回路の論理状態とを比較することにより多重故障個所を特定する、ＣＭＯＳ論理回路の故障個所絞り込み方法に関する。

【０００２】

【従来の技術】従来のＣＡＤを利用したシミュレーションによりＬＳＩの故障個所を絞り込む方法は、出力端子に異常が発生した情報をもととして推定する方法であった。

【０００３】その第一の方法は故障辞書の作成による故障シミュレーション方法であり、この方法は内部回路の各ブロックに故障を定義しながら、異常が発覚する出力端子、出力値、そしてテストパターン番号を、実際の故障品のデータと比較することで故障個所を推定する方法であった。

【０００４】図１２は従来例の故障辞書作成による故障シミュレーション方法の流れブロック図であり、図中符号１２１はテストベクタ、１２２は故障定義、１２３、１２４はＬＳＩの論理接続、１２５、１２６は論理シミュレーション、１２７は比較である。故障箇所の指定には具体的には図１２に示すように、ＬＳＩの出力端子における論理シミュレーション１２６による正常論理値と、内部回路の各ノードに故障定義１２２を行なっ論理シミュレーション１２５による故障論理値とを用い、ＬＳＩの入力端子にテストベクタ１２１を入力した時、出力端子より出力する論理の比較１２７により実際の故障品と一致する故障定義位置を抽出する方法である。

【０００５】第二の方法はバックトレース方法と称し、異常が発覚した出力端子、出力値、そしてテスタパターン番号をもとに、出力端子から入力端子方向へ論理を逆にトレースする方法である。すなわち、ＬＳＩの入力端子に所定の信号を入力したとき、出力端子に出力する信号が期待値と異なっていたとき、その出力値と期待値との相違を利用して、出力端子から入力端子へ向かって内

部に拡散していく信号中から故障を伝搬している信号を抽出し、故障個所を推定し、その箇所に故障を定義して再度、論理シミュレーションを行うことにより実際の故障との一致を検証する方法である。通常、複数の出力異常箇所を調査し、それらの組合わせにより疑似故障信号を限定しながら故障個所を絞り込んでいくのが一般的であった。

【０００６】

【発明が解決しようとする課題】上述した従来の方法は、いずれも多重故障品の解析が不可能であるという点、およびシミュレーションデータが膨大となることから実用的ではなかった。

【０００７】まず、多重故障品の解析に関しては、多重故障数が分からねば解析できないという大きな問題点があった。すなわち、上述した各従来方式は出力端子の異常データのみでは何個の故障が存在するか不明であるため、解析者は出力端子の異常データから故障数を推定して解析を行っていた。しかしながら、故障数の推定が間違っていた時、間違った個数に対してシミュレーションを行うため、検出される結果は完全に間違った結果に終わっていた。

【０００８】次に、従来方法の各々について課題を説明する。まず、第一の方法である故障辞書作成による故障シミュレーション方法は、扱える故障モデルは単一縮退故障（Ｓｔｕｃｋ－ａｔ－０、Ｓｔｕｃｋ－ａｔ－１）のみであり、オープン故障はシミュレーションできないため、故障モードの特定化という点からは一般的ではなかった。なぜならば、故障シミュレーションにて扱う故障はモデル化された論理故障のためであり、オープン故障は論理が定まらないからである。さらに定義する故障数は回路を構成するすべての信号線に対して順次定義していかなければならないため、膨大なデータ量となり実用的ではなかった。すなわち、定義する故障数（Ｖ０）はＬＳＩを構成する回路素子数（Ｌ）の３乗から４乗に比例すると言われている。

【０００９】ｌｎ（Ｖ０）∝（３～４）・ｌｎ（Ｌ）

第二の方法であるバックトレース方法は出力端子異常の情報のみをデータとして使用するため、回路内部にいくつの故障が発生しているかを判断することができなかった。さらに、バックトレースの特徴は複数個の出力異常端子が存在してはじめて故障発生箇所が限定されていくが、その前提はあくまで単一故障の場合のみであり、また、出力端子から内部回路への方向は信号が拡大していく方向であるため、膨大な疑似故障が検出されることになり絞り込みは不可能となる欠点があった。従って、純粋にバックトレース方式のみで故障箇所を絞り込むことが困難となってきており、例えばＬＳＩテスティングシンポジウムにて報告されているように、最近ではＥＢＴ（Ｅｌｅｃｔｒｏｎ　Ｂｅａｍ　Ｔｅｓｔｅｒ）のような物理解析方法とリンクさせた、非接触による電位コントラスト像や論理動作波形の取得により、疑似故障個所を故障候補から消していく方法がとられるような傾向に変わってきている。

【００１０】本発明の目的は、ＬＳＩ内部の多重故障を、少ないデータ量で、出力端子異常に無関係に、容易にかつ高速で絞り込め、故障数および故障箇所を特定化できるＬＳＩの故障箇所の特定化方法を提供することにある。

【００１１】

【課題を解決するための手段】本発明のＬＳＩの故障箇所の特定化方法は、ＬＳＩの入力端子より順次入力されるテストベクタに従って変化する、ＬＳＩを構成する基本的論理回路単位であるブロックごとの論理動作情報と、該テストベクタにより生成する、ＬＳＩの論理動作の静止状態でのリーク電流であるＩｄｄｑの値が所定値を越えるテストベクタ番号とを用いて、該ブロックごとの論理演算を行うことにより故障ブロックを抽出し、次に該故障ブロックにおけるＩｄｄｑ異常を有するテストベクタ番号での論理情報を用いて多重故障個所を絞り込む。

【００１２】ブロックごとの論理動作情報は、ＬＳＩの入力端子より入力するテストベクタに同期して変化する各ブロックごとのテストベクタ番号ごとの入力論理の組合わせであることが望ましい。

【００１３】ブロックごとの論理演算を行うことによる故障ブロック抽出は、Ｉｄｄｑ異常が発生する複数種類の入力論理の組合わせの全てが、Ｉｄｄｑ値が正常なテストベクタ番号での入力論理の組合わせに存在するときのみ、該ブロックを正常ブロックとして抽出し、それ以外は該ブロックを故障ブロックとして抽出してもよく、Ｉｄｄｑ異常が連続したテストベクタ番号にて検出される複数種類の連続した入力論理の組合わせ群の全てが、Ｉｄｄｑ値が正常な連続したテストベクタ番号での入力論理の組合わせ群に存在するときのみ、該ブロックを、正常ブロックとして抽出し、それ以外は該ブロックを故障ブロックとして抽出してもよく、Ｉｄｄｑ異常が連続したテストベクタ番号にて検出される複数種類の入力論理の組合わせ群、およびＩｄｄｑ異常が連続しないテストベクタ番号にて検出される複数種類の入力論理の組合わせの全てが、Ｉｄｄｑ値が正常な連続したテストベクタ番号での入力論理の組合わせ群、およびＩｄｄｑ値が正常なテストベクタ番号での入力論理の組合わせに存在するときのみ、該ブロックを正常ブロックとして抽出し、それ以外は該ブロックを故障ブロックとして抽出してもよい。

【００１４】故障ブロックにおける故障個所の絞り込みは、該故障ブロックにおけるＩｄｄｑ異常が発生しているテストベクタ番号での入力論理の組合わせで故障箇所を絞り込んでもよく、該故障ブロックにおけるＩｄｄｑ異常が発生しているテストベクタ番号での入力論理の組

合わせとＩｄｄｑ異常が発生していないテストベクタ番号での入力論理の組合わせとを用いて故障個所を絞り込んでもよい。

【００１５】ブロックごとの論理演算を行うことによる故障ブロック抽出は、組合わせ回路と順序回路とを分離して故障箇所を絞り込んでもよく、回路構成を複数個の基本的論理回路から順に回路規模を縮小していくことにより故障個所を絞り込んでもよい。

【００１６】ＣＭＯＳ論理回路は回路内部に物理欠陥を有すると、一般的傾向として“Ｉｄｄｑ（Ｑｕｉｅｓｅｎｔ Ｖｄｄ Ｓｕｐｐｌｙ Ｃｕｒｒｅｎｔ）”と称する静止状態電源電流に異常値が現れる。従って、このＩｄｄｑ異常は、ＬＳＩ回路内部の物理故障を顕在化させるシグナルとみなすことができる。この詳細については、Ｍ．Ｓａｎａｄａ“Ｅｖａｌｕａｔｉｏｎ ａｎｄ Ｄｅｔｅｃｔｉｏｎｏｆ ＣＭＯＳ－ＬＳＩ ｗｉｔｈ Ａｂｎｏｒｍａｌ Ｉｄｄｑ” Ｍｉｃｒｏｅｌｅｃｔｒｏｎｉｃｓ ａｎｄ Ｒｅｌｉａｂｉｌｉｔｙ、Ｖｏｌ．３５、ＮＯ．３、ｐｐ．６１９－６２９、１９９５にて明らかであり、本発明は上述した性質を利用したものである。

【００１７】通常、ゲートアレイ品に代表されるＡＳＩＣ（Ａｐｐｌｉｃａｔｉｏｎ Ｓｐｅｃｉｆｉｃ Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔｓ）は予め準備された“ブロック”と称する基本的な論理を構成する回路を組合わせることにより所望の電気回路を構成することにより実現される。

【００１８】本発明による多重故障個所の絞り込み方法は、上述した設計方式を利用するものであり、ＬＳＩの入力端子より入力するテストベクタに従って変化する、”ブロック”と称するＬＳＩを構成する基本的論理回路単位での論理動作情報と、そのテストベクタごとに“Ｉｄｄｑ”と称するＬＳＩの論理動作の静止状態でのリーク電流の値が所定値を越えるテストベクタ番号とを用いて、ブロックごとの論理演算を行うことにより故障ブロック抽出し、次に該故障ブロックにおけるＩｄｄｑ異常を有するテストベクタ番号での論理情報を用いて故障個所を絞り込む多重故障箇所の特定化方法であり、上述したブロックごとの論理動作情報はＬＳＩの入力端子より入力するテストベクタに同期して変化する各ブロックごとのテストベクタ番号ごとの入力論理の組合わせである。

【００１９】上述のデータを用いたブロックごとの論理演算を行うことによる故障ブロック抽出方法は２種類あり、１つは、Ｉｄｄｑ異常が発生する複数種類の入力論理の組合わせの内の少なくとも１種類以上と同一な入力論理の組合わせが、Ｉｄｄｑ値が正常なテストベクタ番号における入力論理の組合わせに存在しないブロックを故障ブロックとして抽出する方法であり、もう１つは、Ｉｄｄｑ異常が連続したテストベクタ番号にて検出される複数種類の連続した入力論理の組合わせ群の内の１種類以上と同一の入力論理の組合わせ群が、Ｉｄｄｑ値が正常な進続したテストベクタ番号での入力論理の組合わせ群に存在しないブロックを故障ブロックとして抽出する多重故障箇所の特定化方法である。

【００２０】さらに、上述した２種類のモード“Ｉｄｄｑ異常が連続したテストベクタ番号にて検出される複数種類の連続した入力論理の組合わせ群”および、“連続しないテストベクタ番号にて検出される複数種類の入力論理の組合わせ”が混在した論理の組合わせ中の１種類以上と同一な“入力論理の組合わせ群”と“入力論理の組合わせ”が、Ｉｄｄｑ値が正常なテストベクタ番号での“入力論理の組合わせ群”と“入力論理の組合わせ”に存在しないブロックを故障ブロックとして抽出することを特徴とした多重故障箇所の特定化方法である。

【００２１】次に、特定化された故障ブロック内部の故障個所の絞り込みは２種類あり、一つは、その故障ブロックにおけるＩｄｄｑ異常が発生しているテストベクタ番号での入力論理の組合わせを用いて故障個所を絞り込むことを特徴としており、もう一つは、その故障ブロックにおけるＩｄｄｑ異常が発生しているテストベクタ番号での入力論理の組合わせとＩｄｄｑ異常が発生していないテストベクタ番号での入力論理の組合わせを用いて故障個所を絞り込むことを特徴としている。

【００２２】上述のデータを用いたブロックごとの論理演算を行うことによる故障ブロック抽出は、組合わせ回路と順序回路を分離したことを特徴としており、さらに、回路構成を複数個の基本的論理回路から順に回路規模を縮小していくことにより、故障個所を絞り込むことを特徴とする故障箇所の特定化方法である。

【００２３】

【発明の実施の形態】前述のように、ＣＭＯＳ論理回路は回路内部に物理欠陥を有すると、一般的傾向として“Ｉｄｄｑ（Ｑｕｉｅｓｅｎｔ Ｖｄｄ Ｓｕｐｐｌｙ Ｃｕｒｒｅｎｔ）”と称する論理の静止状態における電源電流に異常値が現れる。図１は物理故障の存在による貫通電流発生の様子を示す模式図であり、図中符号１１はＬＳＩ、１２はＶｄｄ、１３はＧＮＤ、１４は物理故障箇所、１５はテストベクタ、１６はＩｄｄｑ（異常）である。すなわち、ＬＳＩ１１の内部に物理故障箇所１４が存在すると、任意のテストベクタ１５により設定された論理により、その物理故障箇所１４を介して、または、物理故障箇所１４の影響をうけてＶｄｄ１２からＧＮＤ１３への貫通電流即ち異常Ｉｄｄｑ１６が発生する。

【００２４】通常、ゲートアレイ品に代表されるＡＳＩＣ（Ａｐｐｌｉｃａｔｉｏｎ Ｓｐｅｃｉｆｉｃ Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔｓ）の設計は、予め準備された“ブロック”と称する基本的な論理を構成する回路を組合わせることにより所望の電気回路を実現す

る設計方法である。そのようなＡＳＩＣのＣＭＯＳ回路内部に存在する故障個所の絞り込みは、テストベクタごとに変化する各ブロックの論理シミュレーション情報と、Ｉｄｄｑ異常を発生させるテストベクタ番号とを用いることで可能となる。

【００２５】説明はまず、各ブロックの論理シミュレーション情報について説明し、次に、Ｉｄｄｑ異常を発生させるテストベクタ番号抽出方法について説明する。その後、本発明の手順を説明し、次に故障ブロック絞り込みのための方式について説明する。

【００２６】１）ＬＳＩの各ブロックの論理シミュレーション情報（図２）

図２はＬＳＩの各ブロックの論理シミュレーション結果をアレンジし直す過程の説明図であり、（ａ）はＬＳＩの入出力状態を示す模式図、（ｂ）はＬＳＩの入出力論理関係を示すテストベクタ表、（ｃ）はＬＳＩの各ブロックを示す模式図、（ｄ）はＳＩＭ（Ｓｉｓｔｅｍｓ Ｉｎｔｅｇｒａｔｉｏｎ Ｍｏｄｅｌ）上の時刻変化ごとのブロックの出力論理変化表、（ｅ）はＬＳＩの各ブロックからの出力を示す模式図、（ｆ）は各ブロックごとのテストベクタに対する入力論理を表すダンプリストである。図中符号２１はＬＳＩ、２２は入力端子、２３は出力端子、２５はテストベクタ、２６は出力、２７はブロックＢ１、２８はブロックＢ２、２９はブロックＢｎである。

【００２７】論理シミュレーションは、通常ＬＳＩ２１の入力端子２２から入力するテストベクタ２５に対応して出力端子２３に出力する期待値を検証する論理検証のためのツールであり、通常、電気回路の動作確認と同時に、タイミングや内部遅延を検証するために用いられる。従って、必要となる検証データは各ブロックごとの出力端子に出力する論理と論理の時間変化情報のみで十分である。しかしながら、本手法に必要となるシミュレーションデータはテストベクタ番号ごとに変化する各ブロックごとの入力論理情報であり、通常の論理シミュレーション結果をアレンジし直さねばならない。

【００２８】図２は論理シミュレーション結果を本手法で必要となる結果にアレンジし直しす過程を解説した説明図であり、まず、各ブロックごとの出力端子に出力する論理と論理の時間変化情報とを、各ブロックごとの出力端子に出力する論理と論理のテストベクタ番号ごとの変化情報に直し、次に各ブロックごとの出力端子が次段のブロックの入力端子に接続される関係から、ブロックごとの入力端子に入力する論理情報と論理のテストベクタ番号ごとの変化情報に直した変遷を示している。

【００２９】２）Ｉｄｄｑ異常を発生させるテストベクタ番号（図３）

テストベクタごとのＩｄｄｑ異常の有無情報は故障品ＬＳＩの入力端子よりテストベクタを入力し、各テストベクタでの論理の静止状態におけるリーク電流値を測定し、規格値を越えたリーク電流値をＩｄｄｑ異常値として識別したものが、Ｉｄｄｑ異常有りとして抽出されるテストベクタ情報である。図３はテストベクタごとのＩｄｄｑ異常有無情報を示すグラフであり、図中符号３１はＩｄｄｑのしきい値、３２はＩｄｄｑ（正常）、３３はＩｄｄｑ（異常）である。Ｘ軸にテストベクタ番号（以降、ＴＶｎｏ．と記す）をＹ軸にＩｄｄｑ値を示す。正常品のＩｄｄｑ値は規格値以下（例えば、正常状態において回路に貫通電流が発生しない時は１μＡ以下）であるのに対して、Ｉｄｄｑ異常品は規格値の数百倍から数千倍の異常な貫通電流が流れる。

【００３０】３）本発明の手順（図４）

図４は本発明の手順を示すフローチャートである。図中符号４１はテストベクタ（ＴＶ）、４２はＬＳＩへの印加、４３はＩｄｄｑ値の測定、４４はＩｄｄｑ値異常のＴＶ番号の抽出、４５は回路接続情報、４６は論理シミュレーション、４７は内部回路ノード抽出のダンプ処理、４８はＴＶごとの各ブロックの入力論理の抽出、４９は演算処理、５０は故障ブロックの抽出である。

【００３１】本発明では、ＬＳＩの論理動作をテストするために準備されたテストベクタは、テストベクタごとに変化するＬＳＩを構成する各ブロックごとの論理情報と、テストベクタごとのＩｄｄｑ異常の有無情報とを検出するために用いられる。

【００３２】まず、テストベクタ４１ごとに変化する各ブロックの入力論理情報４８は上述した方式により、回路接続情報４５からＬＳＩ回路検証のための論理シミュレーション４６を用いて“ダンプ処理”４７と称するＬＳＩを構成する各ブロックのテキスト名を指定して出力する。そのテストベクタごとの各ブロックの入力論理情報４８は上述したテストベクタごとのＩｄｄｑ異常の有無の情報４４と組合わせることで、各ブロックのテストベクタごとの演算処理４９が実施され、故障個所を内蔵したブロックの抽出５０が行なわれる。

【００３３】そして、抽出された故障個所を内蔵したブロック５０をもとに、そのブロックでのＩｄｄｑ異常の有無における論理情報からトランジスタレベルでの異常箇所を抽出し完了する。

【００３４】４）故障ブロック絞り込みのための方式（図５）

図５は本発明による故障ブロックを絞り込むための基本的な考え方を述べる説明図であり、（ａ）はＬＳＩ内のブロックを示す模式図、（ｂ）は各ブロックごとのダンプリスト、（ｃ）は（ｂ）のダンプリストに対応させたＩｄｄｑ異常有無情報を示すグラフである。図中符号５１はＬＳＩ、５２はブロックＢ１、５３はブロックＢ２、５４はブロックＢ３、５５はブロックＢｎ、５６はテストベクタ、５７はＩｄｄｑ（異常）、５８はダンプリスト、５９はＩｄｄｑ異常箇所である。

【００３５】複数のブロック（Ｂ１、Ｂ２、Ｂ３、・・

・・、Ｂｎ、・・・）にて構成されるＬＳＩ５１の入力端子よりテストベクタ５６を入力する。その入力論理はそれらのブロックで論理を展開しながら出力端子に至る。

【００３６】上述したダンプ処理により、各ブロックのテストベクタごとの論理状態が抽出される。この様子は図５（ｂ）に示す各ブロックごとのダンプリスト５８に示される。ところで、ＬＳＩにてテストベクタごとに検出されるＩｄｄｑ値は、テストベクタごとの各ブロック（Ｂ１、Ｂ２、Ｂ３、・・・・、Ｂｎ、・・・）に発生するＩｄｄｑ値の合計であり、通常、規格値以内に収まっている。しかしながら、物理故障を内蔵しているブロックがそのブロック群に存在すると、そのブロックに発生する異常電流値がＬＳＩでのＩｄｄｑ値異常として検出される。

【００３７】図５（ｃ）に示された上述のＩｄｄｑ値異常５７が発生しているテストベクタ番号ＴＶｎｏ．ａ、ｂ、ｃは、各ブロックごとのダンプリストにおけるＴＶｎｏ．ａ、ｂ、ｃにも対応しており、従って、各ブロックにてＩｄｄｑ異常表示されたテストベクタと正常状態でのテストベクタの入力論理を比較する（後述する）ことによりＩｄｄｑ異常を内蔵するブロックを抽出することができる。

【００３８】５）故障ブロックの抽出方式

次に、Ｉｄｄｑ異常を内蔵するブロックを抽出する方法について説明する。ＡＳＩＣを構成するブロックは大きく２種類の回路に分類される。即ち組合わせ回路と順序回路である。組合わせ回路はそのブロックの入力端子に信号が印加されるとその論理が内部の回路を介して直接出力してくる回路形式であり、基本ゲート（ＡＮＤ、ＯＲ、ＮＡＮＤ、インバータ回路等）からＡＬＵやＡＤＤＥＲ回路等の大きな規模の回路まである。また、順序回路はクロック信号に同期してデータが一旦回路内部に蓄えられ、次のクロツク信号で出力するといった出力を行う回路形式であり、フリップ・フロップ、レジスタ回路やラツチ回路等がある。これら２種類の回路の故障診断は異なった方式で実施される。

【００３９】５－１）組合わせ回路に対する故障ブロックの抽出方式（図６）

まず、組合わせ回路に対する故障ブロックの抽出方式について図６にて説明する。図６は組み合せ回路の故障ブロックの抽出方法の説明図であり、（ａ）はダンプリストとして抽出された５入力端子を有する組合わせ回路のダンプリスト、（ｂ）はＩｄｄｑ異常発生のフローチャート、（ｃ）はダンプリストとして抽出された５入力端子を有する組合わせ回路のダンプリスト、（ｄ）はブロックを正常と判定するためのフローチャート、（ｅ）はダンプリストとして抽出された５入力端子を有する組合わせ回路のダンプリスト、（ｆ）はブロックに故障内蔵の疑いがあると判断するフローチャートである。

【００４０】図に示すように、Ｉｄｄｑ異常が発生する入力論理の組合わせは３種類（Ａ、Ｂ、Ｃ）存在している。それらの種類に対するＴＶ番号は、

入力論理の組合わせＡは　ＴＶ（ａ１）、ＴＶ（ａ２）、ＴＶ（ａ３）

入力論理の組合わせＢは　ＴＶ（ｂ１）、ＴＶ（ｂ２）

入力論理の組合わせＣは　ＴＶ（ｃ１）、ＴＶ（ｃ２）、ＴＶ（ｃ３）

である。

【００４１】これらの３種類の入力論理の組合わせと同じ入力論理の組合わせがＩｄｄｑ値が正常なＴＶに存在するかどうかコンピュータ（ＰＣまたはＥＷＳ）を用いて調査する。

【００４２】図６（ｃ）、（ｄ）はブロックを正常と判断するケースの１例である。入力論理の組合わせＡ、Ｂ、Ｃの全てが正常なＴＶに存在したとき、このブロックを正常と判断する。即ち、このブロックにおける“入力論理の組合わせＡ”と同一の入力論理の組合わせがＩｄｄｑ値が正常なＴＶに存在したとき、このブロックにおける“入力論理の組合わせＡ”は故障を示唆している入力論理ではないと判断する。次に、“入力論理の組合わせＢ”と同一の入力論理の組合わせがＩｄｄｑ値が正常なＴＶに存在したとき、上記と同様に“入力論理の組合わせＢ”は故障を示唆している入力論理ではないと判断する。以下、同様に“入力論理の組合わせＣ”と同一の入力論理の組合わせがＩｄｄｑ値が正常なＴＶに存在したとき上記と同様に“入力論理の組合わせＣ”は故障を示唆している入力論理ではないと判断し、全てのＩｄｄｑ値異常の入力論理の組合わせが故障を示唆していないので、このブロックは正常と判断してブロックの調査を終了する。

【００４３】図６（ｅ）、（ｆ）はブロックに故障内蔵の疑いがあると判断するケースの１例である。上述と同様な調査を行い、入力論理の組合わせＡ、Ｂ、Ｃの内の少なくとも１組合わせ以上がＩｄｄｑ値が正常なＴＶにおける入力論理の組合わせに存在していない時に、このブロックに故障内蔵の疑いがあると判断する。

【００４４】その理由について説明する。多重故障は１個のブロックに故障が全て内蔵しているか、複数のブロックに故障が内蔵しているかのどちらかである。

【００４５】前者は、１個のブロックに故障が全て内蔵しているため、図６（ｅ）、（ｆ）における“ブロックに故障内蔵の疑いがあると判断するケース”を考えた時、これら３種類のＩｄｄｑ異常が発生する入力論理の組合わせは、それらの組合わせがあれば必ずＩｄｄｑ異常を発生し、従って、Ｉｄｄｑ値が正常なＴＶにおける入力論理の組合わせには存在しないはずだからである。

【００４６】後者は、複数のブロックに故障が内蔵しているケースであり、３種類の入力論理の組合わせ中の１種類（Ａ）がＩｄｄｑ値の正常なＴＶにおける入力論理

の組合わせに存在する時、その入力論理の組合わせ（Ａ）は別のブロックに内蔵されたＩｄｄｑ異常の情報が重なったものであると判断できる。そして、他の２種類がＩｄｄｑ異常を発生するＴＶであり、故障を内蔵している可能性ありと判断されるからである。

【００４７】同様に、３種類の入力論理の組合わせ中の２種類（Ａ、Ｂ）がＩｄｄｑ値が正常なＴＶにおける入力論理の組合わせに存在する時、それは別のブロックに内蔵されたＩｄｄｑ異常の情報が重なったものであると判断できる。そして、残った他の１種類はＩｄｄｑ異常を発生するＴＶであり、故障を内蔵している可能性ありと判断されるからである。

【００４８】さらに、３種類の入力論理の組合わせ中の全て（Ａ、Ｂ、Ｃ）がＩｄｄｑ値が正常なＴＶにおける入力論理の組合わせに存在する時、それは別のブロックに内蔵されたＩｄｄｑ異常の情報が重なったものであると判断できる。従ってこのブロックにはＩｄｄｑ異常を発生するＴＶはなく、正常であると判断されるからである。

【００４９】５－２）順序回路に対する故障ブロックの抽出方式（図７）

次に、順序回路に対する故障ブロックの抽出方式について図７にて説明する。図７は順序回路の故障ブロックの抽出方法の説明図であり、（ａ）はダンプリストとして抽出された５入力端子を有する順序回路のダンプリスト、（ｂ）はＩｄｄｑ異常発生のフローチャート、（ｃ）はダンプリストとして抽出された５入力端子を有する順序回路のダンプリスト、（ｄ）はブロックを正常と判定するためのフローチャート、（ｅ）はダンプリストとして抽出された５入力端子を有する順序回路のダンプリスト、（ｆ）はブロックに故障内蔵の疑いがあると判断するフローチャートである。

【００５０】図７（ａ）、（ｂ）に示すように、Ｉｄｄｑ異常が発生する入力論理の組合わせは７種類（Ａ、Ｂ、Ｃ、Ｄ、Ｅ、Ｆ、Ｇ）存在している。それらのＴＶ上での発生の様子には特徴があり、Ｉｄｄｑ異常が発生する入力論理の組合わせは連続したＴＶにてＡ、Ｂ、Ｃ、Ｄの群とＥ、Ｆ、Ｇの群にて連続発生している。

【００５１】このときは、これらの群（Ａ、Ｂ、Ｃ、Ｄ）と群（Ｅ、Ｆ、Ｇ）の固まりと同じ入力論理の組合わせの固まりがＩｄｄｑ値が正常なＴＶに存在するかどうか調査する。

【００５２】図７（ｃ）、（ｄ）はブロックを正常と判断するケースの１例である。入力論理の組合わせ群（Ａ、Ｂ、Ｃ、Ｄ）および（Ｅ、Ｆ、Ｇ）と同一の入力論理の組合わせ群がＩｄｄｑ値が正常なＴＶに存在したとき、このブロックを正常と判断する。即ち、入力論理の組合わせ群（Ａ、Ｂ、Ｃ、Ｄ）と同一の入力論理の組合わせ群がＩｄｄｑ値が正常なＴＶに存在したとき、このブロックにおける“入力論理の組合わせ群（Ａ、Ｂ、Ｃ、Ｄ）”は故障を示唆している入力論理ではないと判断する。次に、入力論理の組合わせ群（Ｅ、Ｆ、Ｇ）と同一の入力論理の組合わせ群がＩｄｄｑ値が正常なＴＶに存在したとき、上記と同様に“入力論理の組合わせ群（Ｅ、Ｆ、Ｇ）”は故障を示唆している入力論理ではないと判断し、全てのＩｄｄｑ値異常の入力論理の組合わせ群が故障を示唆していないので、このブロックは正常と判断してブロックの調査を終了する。

【００５３】図７（ｅ）、（ｆ）はブロックに故障内蔵の疑いがあると判断するケースの１例である。上述と同様な調査を行い、入力論理の組合わせ群（Ａ、Ｂ、Ｃ、Ｄ）および、群（Ｅ、Ｆ、Ｇ）の内の少なくとも１組合わせ群以上がＩｄｄｑ値が正常なＴＶにおける入力論理の組合わせ群に存在していない時に、このブロックに故障内蔵の疑いがあると判断する。

【００５４】その理由については組合わせ回路での説明と同様である。多重故障は１個のブロックに故障が全て内蔵しているか、複数のブロックに故障が内蔵しているかのどちらかである。

【００５５】前者は、１個のブロックに故障が全て内蔵しているため、図７（ｅ）、（ｆ）における“ブロックに故障内蔵の疑いがあると判断するケース”を考えた時、これら２種類のＩｄｄｑ異常が発生する入力論理の組合わせ群は、それらの組合わせ群があれば必ずＩｄｄｑ異常を発生し、従って、Ｉｄｄｑ値が正常なＴＶにおける入力論理の組合わせ群には存在してないはずだからである。

【００５６】後者は、複数のブロックに故障が内蔵しているケースであり、２種類の入力論理の組合わせ中の１種類群（Ａ、Ｂ、Ｃ、Ｄ）がＩｄｄｑ値の正常なＴＶにおける入力論理の組合わせ群に存在する時、その入力論理の組合わせ群（Ａ、Ｂ、Ｃ、Ｄ）は別のブロックに内蔵されたＩｄｄｑ異常の情報が重なったものであると判断できる。そして、他の群（Ｅ、Ｆ、Ｇ）はＩｄｄｑ異常を発生する入力論理の組合わせ群であり、故障を内蔵している可能性ありと判断されるからである。

【００５７】以上、順序回路における診断方式を述べたが、順序回路は連続したＴＶの他に、単一のＴＶにてＩｄｄｑ異常が発生しているケースがあり、例えば、Ｉｄｄｑ異常が発生する入力論理の組合わせは７種類（Ａ、Ｂ、Ｃ、Ｄ、Ｅ、Ｆ、Ｇ）存在している。Ｉｄｄｑ異常が発生する入力論理の組合わせは連続したＴＶでの（Ａ、Ｂ、Ｃ、Ｄ）の群と単一の入力論理の組合わせＥ、Ｆおよび、Ｇというケースである。この場合の調査は連続したＴＶでの（Ａ、Ｂ、Ｃ、Ｄ）の群、入力論理の組合わせＥ、Ｆおよび、Ｇの４種類を考える。さらに、連続したＴＶでの（Ａ、Ｂ、Ｃ、Ｄ）の群に単一のＴＶの入力論理の組合わせと同一の入力論理の組合わせが存在しても（例えば、Ｂ＝Ｆ）、これらは別個に考える。調査は、連続したＴＶでの（Ａ、Ｂ、Ｃ、Ｄ）の群

にておこない、さらに単一のＴＶ（Ｆ）での調査をおこなう。

【００５８】この判断理由を説明するために、基本的な順序回路であるＤタイプフリップ・フロップ（以降、ＤＦ／Ｆと記す）を用いて説明する。

【００５９】図８は順序回路の診断方式の説明図であり、（ａ）はＤタイプフリップ・フロップの回路図、（ｂ）はＤタイプフリップ・フロップの論理テーブルである。

【００６０】図８（ａ）は、１個のインバータ回路、２個の２入力ＡＮＤ回路および、２個の２入力ＮＯＲ回路から構成される２入力（Ｄ：Ｄａｔａ端子、ＣＬＫ：Ｃｌｏｃｋ端子）、２出力（Ｑ、Ｑ＊）の端子群を有するＤＦ／Ｆの回路構成である（Ｑ＊＝Ｑの反転論理を意味する）。図８（ｂ）はその論理テーブル（真理値表）を示す。ＤＦ／Ｆにおいて、Ｑ出力側２入力ＮＯＲ回路が“Ｈ”出力になった時Ｉｄｄｑ異常が発生したとすると、この異常は図８（ｂ）に示す論理テーブル表のテストベクタＴＶｎｏ．６、７、１０、１１、１２、１３においてＩｄｄｑ異常が発生する。

【００６１】これを単一の入力論理の組合わせとして見ると、Ｉｄｄｑ異常の発生したＴＶの内、ＴＶｎｏ．７、１１、１３に注目したとき、同様な入力論理（Ｄ＝０、ＣＬＫ＝０）がＴＶｎｏ．３、５、９においても設定されている。しかしながら、これらＴＶｎｏ．３、５、９の入力論理においてはＩｄｄｑ異常は発生していない。その理由は順序回路はクロック信号に同期してデータが一旦回路内部に蓄えられ、次のクロツク信号で出力するという回路形式のためである。

【００６２】すなわち、図８（ｂ）に示す論理テーブル表から明らかなように、テストベクタＴＶｎｏ．７、１１、１３において保持されている論理はＱ出力側２入力ＮＯＲ回路が“Ｈ”および、Ｑ＊出力側２入力ＮＯＲ回路が“Ｌ”出力となった論理であるのに対し、テストベクタＴＶｎｏ．３、５、９において保持されている論理はＱ出力側２入力ＮＯＲ回路が“Ｌ”および、Ｑ＊出力側２入力ＮＯＲ回路が“Ｈ”出力となった論理であるためである。従って、Ｑ出力側２入力ＮＯＲ回路が“Ｈ”出力になった時Ｉｄｄｑ異常が発生する状態はテストベクタＴＶｎｏ．７、１１、１３での保持状態で異常として検出されている。従って、順序回路における故障箇所検出の方式はＤＦ／Ｆへの論理の設定と保持状態の入力論理を１つの組合わせ群｛テストベクタＴｖｎｏ．６、７｝および｛Ｔｖｎｏ．１０、１１、１２、１３｝として調査しなければならない。すなわち、順序回路の故障箇所検出の方式はＩｄｄｑ異常の入力論理の組合わせ群が正常なテストベクタでの入力論理の組合わせ群の中に存在するかどうか調査しなければ、そのブロックに故障が存在するかどうかの判定がなされない。

【００６３】６）階層別分割による故障ブロック絞り込み方式（図９）

図９はＬＳＩを階層別に分割し、故障ブロックを絞り込む方式を示す説明図であり、図中９１はＬＳＩ、９２は順序回路、９３、９４、９５は組合わせ回路、９６はブロック（ｂ１）、９７はブロック（ｂ２）、９８はブロック（ｂ３）、９９は基本ブロックである。

【００６４】階層別ブロック構成の場合は、設計時に使用されるライブラリと称する、予め準備されている基本的な回路構成をされたブロックの単位で解析を行う方式が一般的であるが、大規模化されたＬＳＩにおいては膨大なブロック数となることが予測される。それに対応するために、全体を任意の大きさに再分割して、ＬＳＩ内部のブロック構成を変える方式がある。その再構成で注意すべきことは、組合わせ回路と順序回路とを区別して１つの階層単位に階層分割しなければならないことである。理由は上述した組合わせ回路と順序回路での演算処理の方式が異なるためである。

【００６５】図中、階層分割においては、組合わせ回路と順序回路が混在しているため、順序回路を境にして組合わせ回路を分割しやすい階層構成（ａ１、ａ２、ａ３）として故障個所の絞り込みを行っている。次に、故障が発生しているとして抽出された階層ブロック（ａ１）９３において、階層ブロック組を構成する階層構成ｂ１、ｂ２、ｂ３にて故障個所の絞り込みを行う。そして最後に最小単位である、“基本的論理回路構成”でのブロック（ｂ２）９７を抽出する。

【００６６】７）トランジスタレベルの故障箇所の絞り込み方法（図１０）

次に、基本的論理回路構成”での基本ブロック９９より、その回路を構成しているトランジスタレベルの故障個所を絞り込む。基本的論理回路は一般に数トランジスターから数十トランジスタで構成される、ＯＲ、ＮＯＲ、ＮＡＮＤ、ＡＮＤ、インバータ回路、フリップフロップ回路といった基本的な論理動作を単位とする機能回路である。故障個所の絞り込み方法は組合わせ回路、順序回路とも同じである。これらの基本的論理回路は入力論理に同期してどのトランジスタがＯＮ／ＯＦＦしているか明確に判定できるため、論理シミュレーションにより容易に故障トランジスタを抽出できる。以下に基本的論理回路の１つである、２入力ＮＡＮＤ回路の例を用いて説明する。

【００６７】図１０は論理シミュレーションによる故障トランジスタの抽出の説明図であり、（ａ）は２入力ＮＡＮＤの回路図であり、（ｂ）は２入力ＮＡＮＤ回路の入力論理の全組合わせに注目した真理値表とＩｄｄｑ値との相関表である。２入力にて構成する４つの入力論理の組合わせ（ＴＶ１、ＴＶ２、ＴＶ３、ＴＶ４）中、ＴＶ３（入力端子ＩＮ１にＬｏｗレベル、入力端子ＩＮ２にＨｉｇｈレベルが入力）にてＩｄｄｑ異常が発生し、他の入力論理の組合わせ（ＴＶ１、ＴＶ２、ＴＶ４）は

15　　16

正常であったとする。この情報を基に故障トランジスタを抽出する手法を説明する。通常、この故障トランジスタを抽出する方法は論理シミュレーションを用いて、各テストベクタにてどのトランジスタがＯＮ／ＯＦＦしているかを検証することにより実施する。

【００６８】図１０の２入力ＮＡＮＤ回路図において、

ＴＶｎｏ．	ＰＴｒ－１、ＰＴｒ－２		ＮＴｒ－１、ＮＴｒ－２		Ｉｄｄｑ値
ＴＶ１、	ＯＦＦ	ＯＦＦ	ＯＮ	ＯＮ	正常
ＴＶ２、	ＯＦＦ	ＯＮ	ＯＮ	ＯＦＦ	正常
ＴＶ３、	ＯＮ	ＯＦＦ	ＯＦＦ	ＯＮ	異常
ＴＶ４、	ＯＮ	ＯＮ	ＯＦＦ	ＯＦＦ	正常

と記述できる。

【００６９】さらに、Ｉｄｄｑ異常が発生する通路は２入力ＮＡＮＤ回路において２通りが考えられる。

【００７０】

１、　Ｖｄｄ→　ＰＴｒ１→　ＮＴｒ１→　Ｎｔｒ２→　ＧＮＤ

２、　Ｖｄｄ→　ＰＴｒ２→　ＮＴｒ１→　ＮＴｒ２→　ＧＮＤ

これらの通路と上述のトランジスタのＯＮ／ＯＦＦ状況との検証から、Ｉｄｄｑ異常が発生する通路をトランジスタのＯＮ／ＯＦＦ状況で書き表してみると、Ｉｄｄｑ異常が発生する通路１は、

１、Ｖｄｄ→	ＰＴｒ１→	ＮＴｒ１→	ＮＴｒ２→	ＧＮＤ
ＴＶ１、	ＯＦＦ	ＯＮ	ＯＮ	正常
ＴＶ２、	ＯＦＦ	ＯＮ	ＯＦＦ	正常
ＴＶ３、	ＯＮ	ＯＦＦ	ＯＮ	異常
ＴＶ４、	ＯＮ	ＯＦＦ	ＯＦＦ	正常

となり、ＮＴｒ１が異常となって常にＯＮ状態の時、貫通電流が発生する。

【００７１】また、Ｉｄｄｑ異常が発生する通路２は、

２、Ｖｄｄ→	ＰＴｒ２→	ＮＴｒ１→	ＮＴｒ２→	ＧＮＤ
ＴＶ１、	ＯＦＦ	ＯＮ	ＯＮ	正常
ＴＶ２、	ＯＮ	ＯＮ	ＯＦＦ	正常
ＴＶ３、	ＯＦＦ	ＯＦＦ	ＯＮ	異常
ＴＶ４、	ＯＮ	ＯＦＦ	ＯＦＦ	正常

となり、ＰＴｒ２およびＮＴｒ１が異常となって常にＯＮ状態となった時、貫通電流が発生する。しかしながら、ＴＶ１はＩｄｄｑ値は正常なため、ＰＴｒ２に物理故障が内蔵していることと矛盾し、ＰＴｒ２は正常と判断される。

【００７２】以上、通路１、２の検証によりＮＴｒ１が異常となり常にＯＮ状態の時、貫通電流が発生することが判明する。

【００７３】以上は４トランジスタ構成である２入力ＮＡＮＤ回路についての例であるが、数十トランジスタにて構成された基本論理回路は上述した検証と同様の操作をコンピュータを用いた論理シミュレーションにより実施することにより短時間で異常トランジスタを抽出できる。

【００７４】８）組合わせ回路の故障箇所絞り込み方法（図１１）

図１１は組合わせ回路における故障個所を絞り込む方法を示す説明図であり、（ａ）は真理値表とＩｄｄｑ値との相関表、（ｂ）は（ａ）のＩｄｄｑ異常箇所の拡大表、（ｃ）は故障素子絞り込みの模式図であり、図中符号１１１、１１２はテストベクタの変化、１１３は絞り込んだ故障素子である。

【００７５】Ｉｄｄｑ異常が発生したテストベクタおよび、正常状態でのテストベクタを用いてＩｄｄｑ異常が発生したテストベクタにおける論理の変化を公知のシミュレーションにより抽出する方式である。特に重要となるデータはＩｄｄｑ異常が発生したテストベクタであり、組合わせ回路の場合、そのＩｄｄｑ異常が発生するテストベクタの前後において内部の論理の変化を用いて、公知の論理シミュレーションにより、故障内蔵素子を簡単に抽出できる。図１１は前述した故障内蔵素子を簡単に抽出するための説明図であり、テストベクタＴＶｎｏ．（ａ－１）からＴＶｎｏ．（ａ）に変化｛Ｆ（ａ－１、ａ）｝した時、Ｉｄｄｑ異常が発生する。この時のベクタの変化は入力ピンＮＯ５のみが“０”から“１”へ変化し、他は変化していない。この論理の変化は論理シミュレーションにより変化素子を抽出できる。さらにテストベクタＴＶｎｏ．（ａ）からＴＶｎｏ．（ａ＋１）に変化｛Ｆ（ａ、ａ＋１）｝した時、正常状態に戻る。この時のベクタの変化は入力ピンＮＯ８のみが“１”から“０”へ変化し、他は変化していない。前処理にて複数個の疑似故障素子が抽出されたとき、それ

らの疑似故障素子をさらに絞り込むことができる。その処理をＩｄｄｑ異常が発生した全テストベクタに関して実行することにより、故障内蔵素子を抽出することができる。

【００７６】

【発明の効果】以上説明したように、本発明はＩｄｄｑ異常が発生したという現象を用いて、多重故障箇所を絞り込む方法であり、その方法は６つの大きな効果を有する。

【００７７】第１は、出力端子異常の有無に関係なく故障個所を絞り込めるという点である。これは本発明の一番大きな特徴である。

【００７８】第２は、容易に故障個所を絞り込むことができるという点である。すなわち、本方法の実行はＬＳＩ設計段階での検証ツールとして用いる論理シミュレーションを基にした各ブロックごとのダンプリストと、Ｉｄｄｑ異常が発生したテストベクタ番号のみのデータでよいため、回路が解らなくても簡単に故障個所を絞り込むことができる効果がある。

【００７９】第３は、さらに、上述したデータは故障品のＩｄｄｑ異常が発生したテストベクタ番号のみでよいため、故障品がなくても解析が可能となる効果がある。

【００８０】第４は、予め多重故障数が分からなくても、故障数および、その故障数に対応した故障箇所は演算処理にて特定化できるという点である。

【００８１】第５は、高速に処理が可能である点である。本方法はコンピュータが得意とする演算処理のみでよいため、高速に処理が可能である。また、ＬＳＩが大規模になったとしても分割したブロック単位での演算が可能なため、コンピュータ容量の影響を受けないメリットがある。さらに、その演算はブロックごとにて独自に行うため、並列処理による短時間処理が可能である。

【００８２】第６は、本発明の適用はＩｄｄｑ異常値の大きさに関係しないということである。解析に必要なデータはＩｄｄｑ異常が発生したテストベクタ番号であり、Ｉｄｄｑ異常値の大きさに関係しないため、正常品とわずかな差の現れるサンプルにおいてもその発生箇所を絞り込むことが可能となる。

【図面の簡単な説明】

【図１】物理故障の存在による貫通電流発生の様子を示す模式図である。

【図２】ＬＳＩの各ブロックの論理シミュレーション結果をアレンジし直す過程の説明図である。（ａ）はＬＳＩの入出力状態を示す模式図である。（ｂ）はＬＳＩの入出力論理関係を示すテストベクタ表である。（ｃ）はＬＳＩの各ブロックを示す模式図である。（ｄ）はＳＩＭ（Ｓｉｓｔｅｍｓ　Ｉｎｔｅｇｒａｔｉｏｎ　Ｍｏｄｅｌ）上の時刻変化ごとのブロックの出力論理変化表である。（ｅ）はＬＳＩの各ブロックからの出力を示す模式図である。（ｆ）は各ブロックごとのテストベクタに対する入力論理を表すダンプリストである。

【図３】テストベクタごとのＩｄｄｑ異常有無情報を示すグラフである。

【図４】本発明の手順を示すフローチャートである。

【図５】本発明による故障ブロックを絞り込むための基本的な考え方を述べる説明図である。（ａ）はＬＳＩ内のブロックを示す模式図である。（ｂ）は各ブロックごとのテストベクタ表である。（ｃ）は（ｂ）のテストベクタ表に対応させたＩｄｄｑ異常有無情報を示すグラフである。

【図６】組み合せ回路の故障ブロックの抽出方法の説明図である。（ａ）はダンプリストとして抽出された５入力端子を有する組合わせ回路のダンプリストである。（ｂ）はＩｄｄｑ異常発生のフローチャートである。（ｃ）はダンプリストとして抽出された５入力端子を有する組合わせ回路のダンプリストである。（ｄ）はブロックを正常と判定するためのフローチャートである。（ｅ）はダンプリストとして抽出された５入力端子を有する組合わせ回路のダンプリストである。（ｆ）はブロックに故障内蔵の疑いがあると判断するフローチャートである。

【図７】順序回路の故障ブロックの抽出方法の説明図である。（ａ）はダンプリストとして抽出された５入力端子を有する順序回路のダンプリストである。（ｂ）はＩｄｄｑ異常発生のフローチャートである。（ｃ）はダンプリストとして抽出された５入力端子を有する順序回路のダンプリストである。（ｄ）はブロックを正常と判定するためのフローチャートである。（ｅ）はダンプリストとして抽出された５入力端子を有する順序回路のダンプリストである。（ｆ）はブロックに故障内蔵の疑いがあると判断するフローチャートである。

【図８】順序回路の診断方式の説明図である。（ａ）はＤタイプフリップ・フロップの回路図である。（ｂ）はＤタイプフリップ・フロップの論理テーブルである。

【図９】ＬＳＩを階層別に分割し、故障ブロックを絞り込む方式を示す説明図である。

【図１０】論理シミュレーションによる故障トランジスタの抽出の説明図である。（ａ）は２入力ＮＡＮＤの回路図である。（ｂ）は２入力ＮＡＮＤ回路の入力論理の全組合わせに注目した真理値表とＩｄｄｑ値との相関表である。

【図１１】組合わせ回路における故障個所を絞り込む方法を示す説明図である。（ａ）は真理値表とＩｄｄｑ値との相関表である。（ｂ）は（ａ）のＩｄｄｑ異常箇所の拡大表である。（ｃ）は故障素子絞り込みの模式図である。

【図１２】従来例の故障辞書作成による故障シミュレーション方法の流れブロック図である。

【符号の説明】

１１、２１、５１、９１　　ＬＳＩ

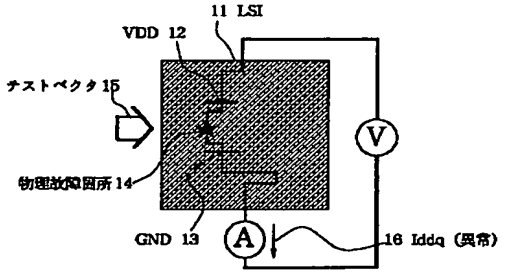
19

１２　Ｖｄｄ
１３　ＧＮＤ
１４　物理故障箇所
１５、２５　テストベクタ
１６　Ｉｄｄｑ（異常）
２２　入力端子
２３　出力端子
２６　出力
２７　ブロックＢ１
２８　ブロックＢ２
２９　ブロックＢｎ
３１　Ｉｄｄｑのしきい値
３２　Ｉｄｄｑ（正常）
３３　Ｉｄｄｑ（異常）
４１　テストベクタ（ＴＶ）
４２　ＬＳＩへの印加
４３　Ｉｄｄｑ値の測定
４４　Ｉｄｄｑ値異常のＴＶ番号の抽出
４５　回路接続情報
４６　論理シミュレーション
４７　内部回路ノード抽出のダンプ処理
４８　ＴＶごとの各ブロックの入力論理の抽出
４９　演算処理

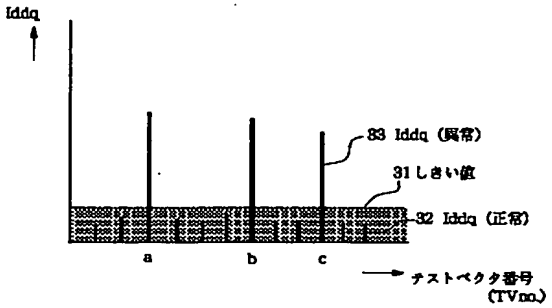
20

５０　故障ブロックの抽出
５２　ブロックＢ１
５３　ブロックＢ２
５４　ブロックＢ３
５５　ブロックＢｎ
５６　テストベクタ
５７　Ｉｄｄｑ（異常）
５８　ダンプリスト
５９　Ｉｄｄｑ異常箇所
９２　順序回路
９３、９４、９５　組合わせ回路
９６　ブロック（ｂ１）
９７　ブロック（ｂ２）
９８　ブロック（ｂ３）
９９　基本ブロック
１１１、１１２　テストベクタの変化
１１３　絞り込んだ故障素子
１２１　テストベクタ
１２２　故障定義
１２３、１２４　ＬＳＩの論理接続
１２５、１２６　論理シミュレーション
１２７　比較

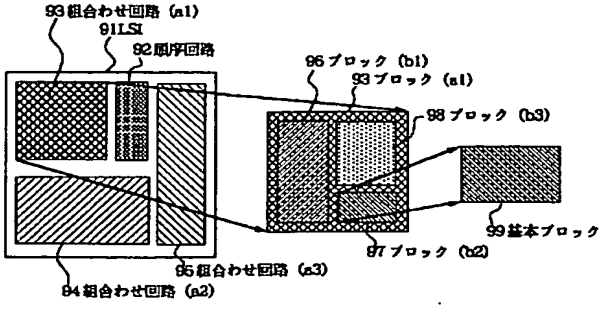
【図１】



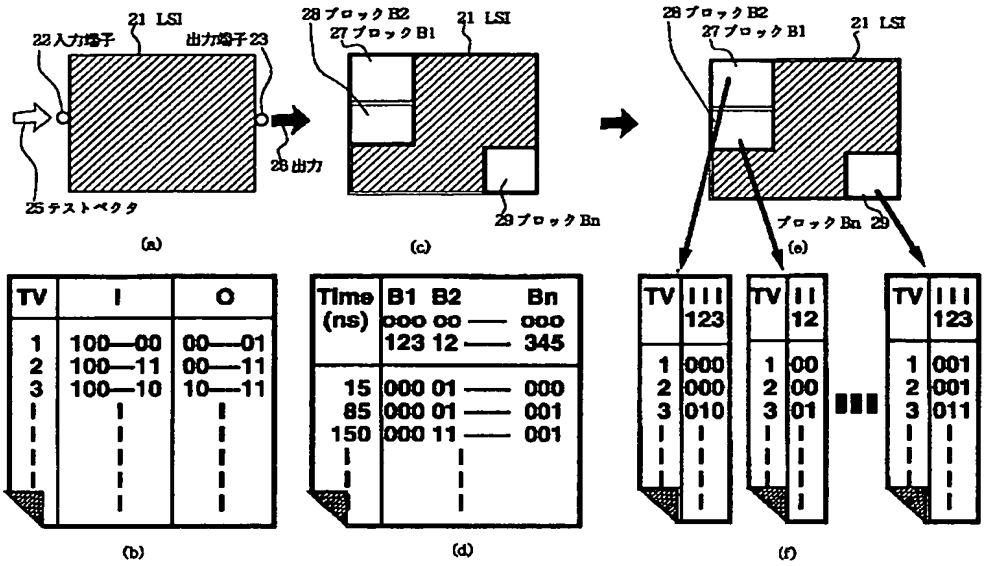
【図３】



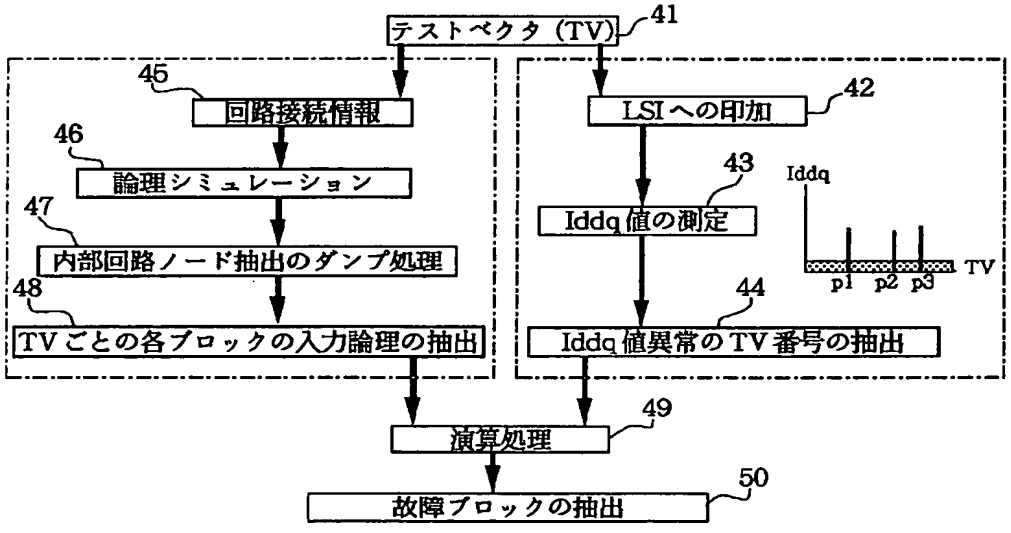
【図９】



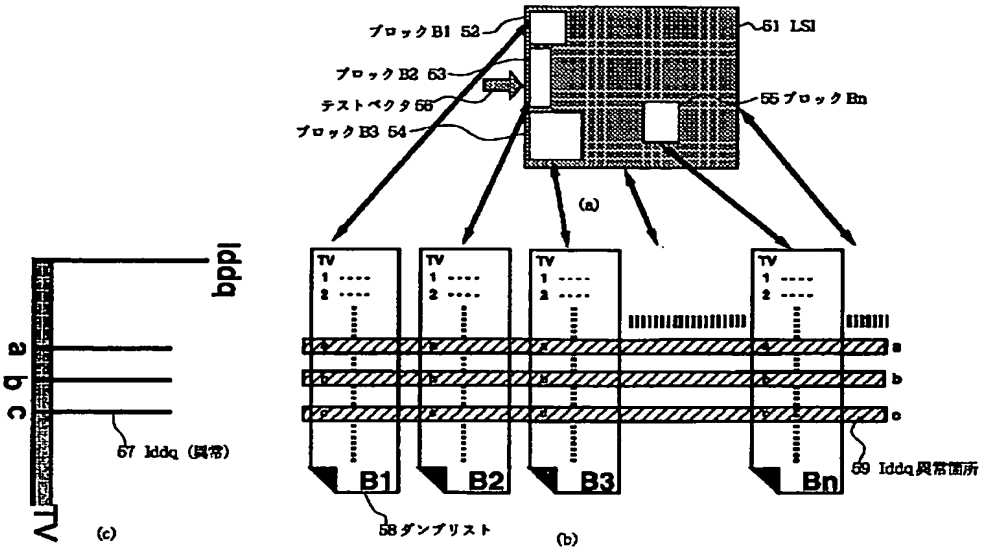
【図２】


21 LSI
22入力端子
出力端子23
25テストベクタ
24出力
(a)
28ブロックB2
27ブロックB1
21 LSI
29ブロックBn
(c)
28ブロックB2
27ブロックB1
21 LSI
ブロックBn 29
(e)
TV | I | O
1 | 100—00 | 00—01
2 | 100—11 | 00—11
3 | 100—10 | 10—11
(b)
Time (ns) | B1 B2 Bn
ooo oo — ooo
123 12 — 345
15 | 000 01 — 000
85 | 000 01 — 001
150 | 000 11 — 001
(d)
TV | 123
1 | 000
2 | 000
3 | 010
TV | 12
1 | 00
2 | 00
3 | 01
TV | 123
1 | 001
2 | 001
3 | 011
(f)

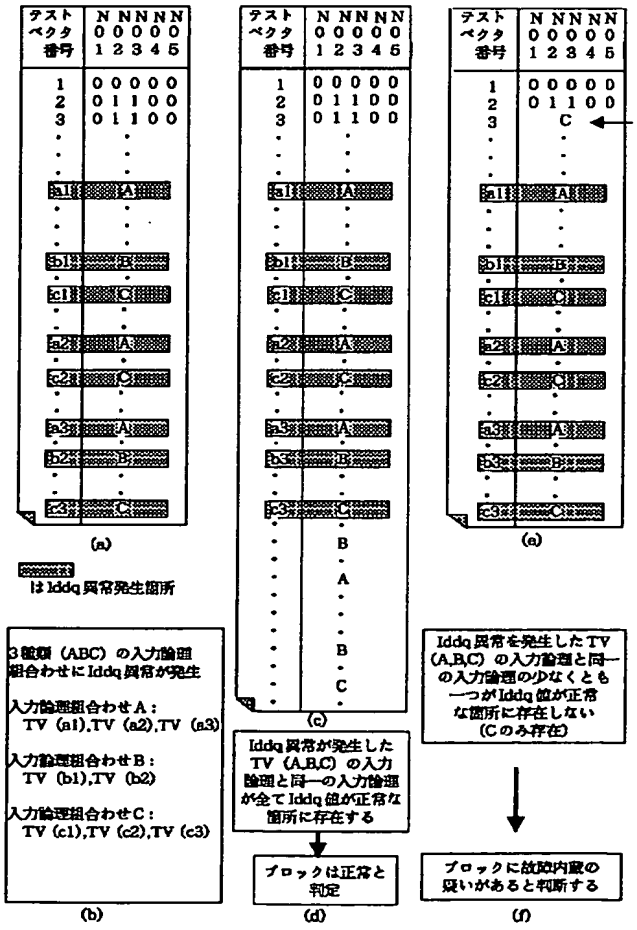
【図４】


テストベクタ (TV)
41
45
回路接続情報
46
論理シミュレーション
47
内部回路ノード抽出のダンプ処理
48
TVごとの各ブロックの入力論理の抽出
LSIへの印加
42
43
Iddq値の測定
Iddq
TV
p1 p2 p3
44
Iddq値異常のTV番号の抽出
49
演算処理
50
故障ブロックの抽出

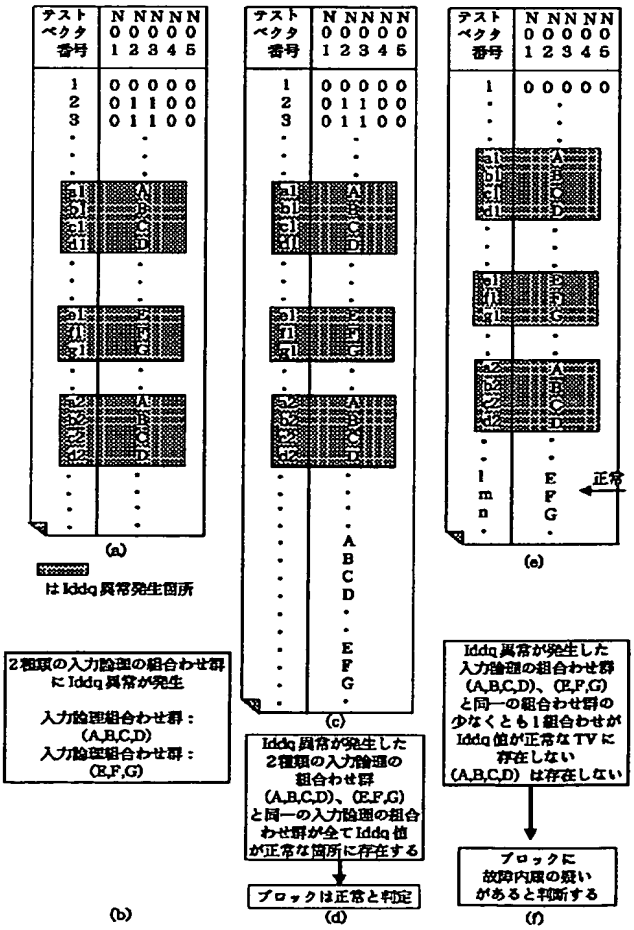
【図５】


ブロックB1 52
ブロックB2 53
テストベクタ56
ブロックB3 54
51 LSI
55 ブロックBn
(a)
TV
1 ----
2 ----
B1
B2
B3
Bn
58 ダンプリスト
(b)
59 Iddq異常箇所
67 Iddq (異常)
(c)

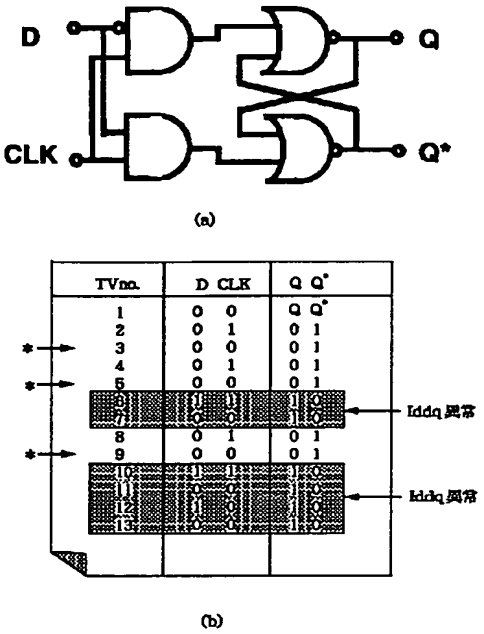
【図６】


テストベクタ番号
N N N N N
0 0 0 0 0
1 2 3 4 5
(a)
は Iddq 異常発生箇所
3種類（ABC）の入力論理組合わせにIddq異常が発生
入力論理組合わせA：
TV (a1),TV (a2),TV (a3)
入力論理組合わせB：
TV (b1),TV (b2)
入力論理組合わせC：
TV (c1),TV (c2),TV (c3)
(b)
Iddq異常が発生したTV (A,B,C) の入力論理と同一の入力論理が全てIddq値が正常な箇所に存在する
(c)
ブロックは正常と判定
(d)
Iddq異常を発生したTV (A,B,C) の入力論理と同一の入力論理の少なくとも一つがIddq値が正常な箇所に存在しない (Cのみ存在)
(e)
ブロックに故障内蔵の疑いがあると判断する
(f)

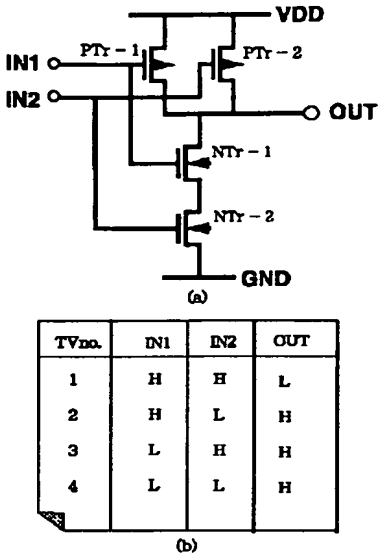
【図７】


テストベクタ番号
N N N N N
0 0 0 0 0
1 2 3 4 5
(a)
は Iddq 異常発生箇所
2種類の入力論理の組合わせ群にIddq異常が発生
入力論理組合わせ群：
(A,B,C,D)
入力論理組合わせ群：
(E,F,G)
(b)
Iddq異常が発生した2種類の入力論理の組合わせ群 (A,B,C,D)、(E,F,G) と同一の入力論理の組合わせ群が全てIddq値が正常な箇所に存在する
(c)
ブロックは正常と判定
(d)
正常
(e)
Iddq異常が発生した入力論理の組合わせ群 (A,B,C,D)、(E,F,G) と同一の組合わせ群の少なくとも1組合わせがIddq値が正常なTVに存在しない (A,B,C,D) は存在しない
(f)
ブロックに故障内蔵の疑いがあると判断する

【図８】



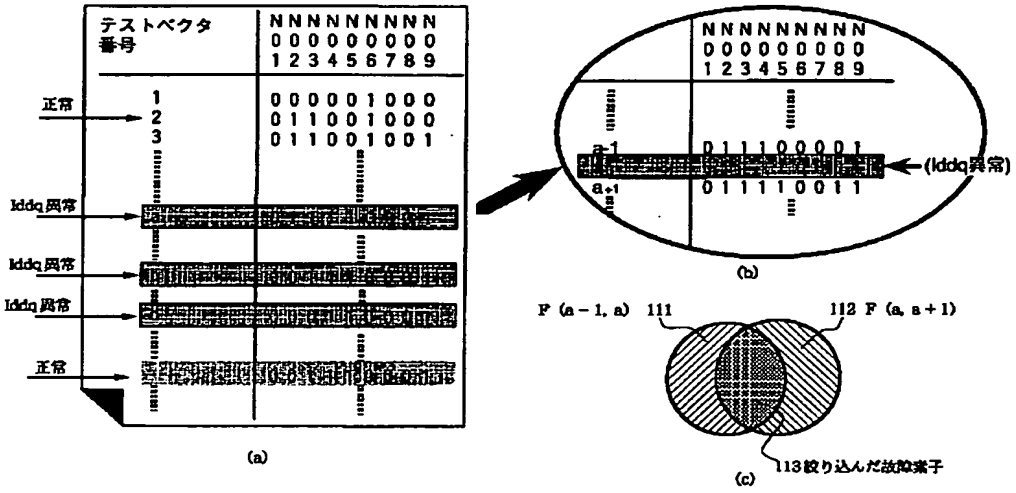
【図１０】



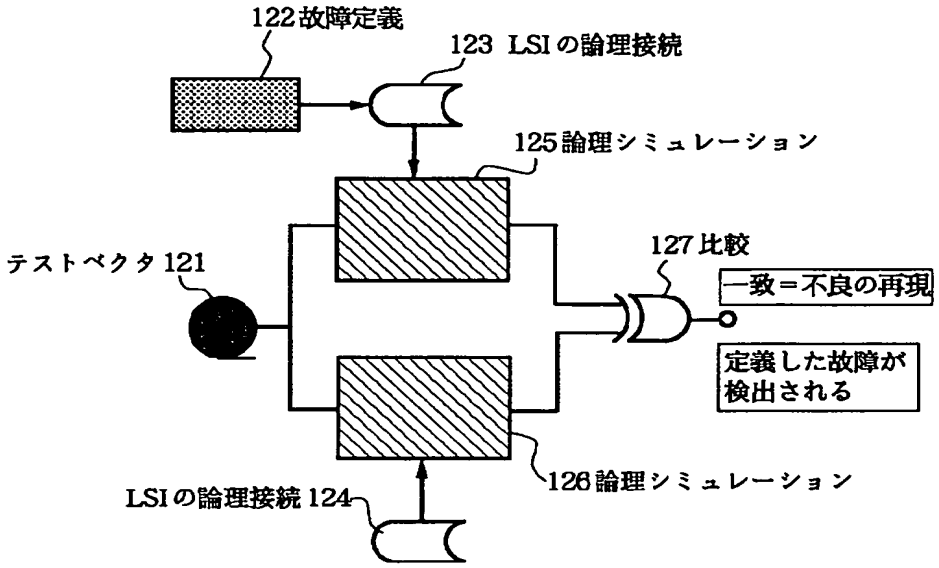
TVno.	IN1	IN2	OUT
1	H	H	L
2	H	L	H
3	L	H	H
4	L	L	H

(b)

【図１１】



【図１２】


122故障定義
123 LSIの論理接続
125論理シミュレーション
テストベクタ121
127比較
一致＝不良の再現
定義した故障が
検出される
126論理シミュレーション
LSIの論理接続124